

РЫНОК ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ РАСШИРЯЕТ СВОЮ НОМЕНКЛАТУРУ

Слюсар И.И., к.т.н., доцент, нач. кафедры ВИТИ НТУУ «КПИ»,

Слюсар В.И., д.т.н., профессор, старший научный сотрудник ЦНИИ ВВТ ВСУ

На сегодня, в системах связи двойного назначения основной акцент стал смещаться на внедрение технологии программируемой архитектуры радиосредств (Software Defined Radio, SDR). Как отмечалось в [1], она позволяет обеспечить работу с различными стандартами и протоколами связи, их оперативную замену на новые, оптимизацию архитектуры оборудования по ресурсам и функциональности под конкретную решаемую задачу.

В подтверждение этого, весной 2008 г. в рамках пражского симпозиума «Информационные системы и технологии» [2] состоялась презентация проекта TACOMS POST-2000 [3]. Он рассматривается в качестве методологии интеллектуальных телекоммуникаций, призванных обеспечить для НАТО возможность ведения коалиционных сетевых операций. Соответствующую группу стандартов в инициативном порядке разрабатывают ученые и промышленность 15 стран. Стандарты проекта TACOMS POST-2000 основаны на поддержке протоколов тактического Интернета (от IPv4 до IPv6) с использованием наземных, воздушных и космических ретрансляторов. Среди основных преимуществ TACOMS POST-2000 следует отметить: возможность передачи файлов, видео- и других мультимедийных данных; поддержку глобальной мобильности за счет абсолютной адресации всех пользователей в адресном пространстве IPv6; большую емкость абонентских каналов, их взаимосовместимость; защищенность каналов передачи данных при высокой скорости трафика (до 1 Гбит/с).

Проект направлен на реализацию концепции предоставления боевых систем как интеграции сетей сенсорных средств, сетей узлов управления и огневых комплексов. Они строятся на SDR-системах, и в рамках индустриальной консультативной группы НАТО NIAG сейчас изучаются возможности создания соответствующей технической базы SDR силами 10 стран НАТО. Главное преимущество SDR на

данном этапе – возможность добиться совместимости разнотипных устройств.

Одним из технических аспектов реализации рассматриваемой технологии является развитие соответствующей элементной базы, в том числе программируемых логических интегральных схем (ПЛИС). Следует отметить, что использование ПЛИС по сравнению с цифровыми сигнальными процессорами в модулях цифровой обработки сигналов (ЦОС), позволяет жестко синхронизировать пошаговое выполнение алгоритмов ЦОС в многоканальных системах благодаря отказу от использования аппаратных прерываний.

На рынке Украины в интересах ведомственных структур отечественный производитель масштабно использует ПЛИС фирмы Xilinx (США), например: ОАО «ЧеЗаРа» в оптических модемах применяет ПЛИС Virtex-2, а фирма «Пульсар-ЛТД» (г. Днепропетровск) аналогичной серии – в модулях ЦОС. Учитывая это, далее целесообразно более подробно остановиться на ПЛИС Virtex с архитектурой FPGA (Field Programmable Gate Arrays) [1].

Семейство Virtex позволяет реализовать высокопроизводительные, большой емкости, цифровые устройства на одном кристалле. Резкое увеличение эффективности реализаций достигнуто благодаря новой архитектуре, более эффективной для размещения и трассировки элементов. Всё это позволяет использовать кристаллы Virtex как альтернативу масочно-программируемым вентильным матрицам [4].

Созданное на основе опыта, приобретённого при разработках предыдущих серий FPGA, семейство Virtex является революционным шагом вперед, определяющим новые стандарты в производстве программируемой логики. Сочетая большое разнообразие новых системных свойств, иерархию высокоскоростных и гибких трассировочных ресурсов с передовой технологией изготовления «кремния», семейство Virtex предоставляет разработчику ши-

рокие возможности реализации быстродействующих, большой логической ёмкости цифровых устройств, при значительном снижении времени разработки.

Основными особенностями архитектуры кристаллов семейства Virtex являются гибкость и регулярность. Кристаллы состоят из матрицы конфигурируемого логического блока (КЛБ), которая окружена программируемыми блоками ввода-вывода (БВВ). Все соединения между основными элементами (КЛБ, БВВ) осуществляются с помощью набора иерархических высокоскоростных программируемых трассировочных ресурсов. Изобилие таких ресурсов позволяет реализовывать на кристалле семейства Virtex даже самые громоздкие и сложные проекты. Кристаллы семейства Virtex производятся на основе статического ОЗУ (Static Random Access Memory – SRAM), поэтому функционирование кристаллов определяется загружаемыми во внутренние ячейки памяти конфигурационными данными. Конфигурационные данные могут загружаться в кристалл несколькими способами. В ведущем последовательном режиме (Master Serial) загрузка осуществляется из внешнего ПЗУ и полностью управляется самой FPGA Virtex. В других режимах управление загрузкой осуществляется внешними устройствами.

Конфигурационные данные создаются пользователем при помощи программного обеспечения проектирования, например: Xilinx Foundation и Alliance Series. Программное обеспечение включает в себя схемный и текстовый ввод, моделирование, автоматическое и ручное размещение и трассировку, создание, загрузку и верификацию загрузочных данных.

В отличие от предыдущих семейств ПЛИС Xilinx, в сериях Virtex и Spartan градация по быстродействию обозначается классом, а не задержкой на логическую ячейку. Соответственно, в семействах Virtex и Spartan чем больше класс, тем выше быстродействие.

Соединение между КЛБ осуществляется с помощью главных трассировочных матриц (ГТМ). В свою очередь, ГТМ – это матрица программируемых транзисторных 2-направленных переключателей, расположенных на пересечении горизонтальных и вертикальных линий связи. Каждый КЛБ окружен локальными линиями связи, которые позволяют осуществить соединения с матрицей ГТМ. Интерфейс ввода-вывода VersaRing создает дополнительные трассировочные ресурсы по периферии кристалла. Эти трассы улучшают общую «трассируемость» устройства и возмож-

ности трассировки после закрепления электрических цепей к конкретным контактам.

На сегодня, фирма Xilinx позиционирует последнее семейство этой серии – Virtex-6, которое оптимизировано для использования в высокотехнологичной аппаратуре. В его состав входят 2 подсемейства, включающих 9 кристаллов различной логической ёмкости:

- LXT – оптимизировано для выполнения высокопроизводительных логических операций и реализации высокоскоростных последовательных интерфейсов;

- SXT – оптимизировано для выполнения высокопроизводительных операций ЦОС и реализации высокоскоростных последовательных интерфейсов.

Обобщенные параметры кристаллов семейства Virtex-6 представлены на рис. 1. При этом, к основным особенностям Virtex-6 следует отнести:

- 40-нм КМОП-технология производства;

- напряжение питания ядра: 1,0 В или 0,9 В;

- снижение энергопотребления до 50% по сравнению с Virtex-5;

- поддержку большого количества стандартов ввода-вывода, в том числе:

- прием/передача данных со скоростью 1,4 Гбит/с по каждой дифференциальной паре контактов;

- поддержка 1,2 и 2,5-В стандартов ввода-вывода;

- программируемая задержка ввода-вывода;

- цифровой контроль импеданса;

- новую логическую ячейку с 6-входовыми таблицам LUT (Look-Up Table) и двумя триггерами;

- наличие большого числа аппаратных ядер:

- GTX – 6,5 Гбит/с приёмо-передатчики;

- Модуль PCI-Express с поддержкой 8-lane Gen1 (2,5 Гбит/с) и 4-lane Gen2 (5,0 Гбит/с);

- DSP48E1 – блок цифровой обработки сигналов, состоящий из 25х18 умножителя, 48-бит аккумулятора, предсумматора и регистров для конвейеризации;

- TEMAC – 10/100/1000 Мбит/с Ethernet-контроллер;

- Block RAM – блок памяти ёмкостью 36 кбит, который можно сконфигурировать по 2 блока по 18 кбит;

- MMCMT – блок управления и синтеза сигналов синхронизации;

- System Monitor – блок мониторинга на-

	XC6VLX75T	XC6VLX130T	XC6VLX195T	XC6VLX240T	XC6VLX365T	XC6VLX550T	XC6VLX760T	XC6VSX315T	XC6VSX475T
Логические ресурсы	Кристалл	11640	31200	37680	56880	85920	118560	49200	74400
	Секции ¹	74496	199680	241152	364032	549888	758784	314880	476160
Ресурсы памяти	Логические ячейки ²	93120	249600	301440	455040	687360	948480	393600	595200
	Триггеры	1045	3040	3650	4130	6200	8280	5090	7640
Синхронизация	Распределенная память (max, кбит)	156	344	416	416	632	720	704	1064
	Блочная память BRAM (36 кбит) ³	5616	12384	14975	14975	22752	25920	25344	38304
Ресурсы ввода-вывода	Общая емкость BRAM	6	10	12	12	18	18	12	18
	Блоки управления синхронизацией (MIMC) ⁴	360	600	720	720	1200	1200	720	840
Встроенные аппаратные ядра	Контакты (max)	180	300	360	360	600	600	360	420
	Диф. пары (max)	288	480	640	768	864	864	1344	2016
Классы бы-стродействия	DSP48E1 ⁵	1	2	2	2	2	0	2	2
	PCI Express® блок	4	4	4	4	4	0	4	4
Конфигурация	Ethnet MAC блок	12	20	24	24	36	0	34	36
	Трансивер GTX	-1L, -1, -2, -3	-1L, -1, -2, -3	-1L, -1, -2, -3	-1L, -1, -2, -3	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2, -3	-1L, -1, -2, -3
	Коммерческий температурный диапазон	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2
	Индустриальный температурный диапазон	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2	-1L, -1, -2
	Конфигурационная память (Mбит)	26.1	43.5	61.4	73.6	95.8	184.4	104.2	156.3
	Корпус	Максимальное число пользовательских контактов / Трансиверы GTX							
	Размер	240/8	240/8						
	FF484/FFG484	240/8	240/8						
	FF784/FFG784	360/12	400/12	400/12	400/12				
	FF1156/FFG1156	600/20	600/20	600/20	600/20				
	FF1759/FFG1759	720/24	720/24	720/24	720/24	840/36		720/24	840/36
	FF1760/FFG1760					1200/0	1200/0		

¹ Одна секция содержит четыре 8-LUT и восемь триггеров.

² Количество логических ячеек приведено с учетом новой 6-LUT архитектуры.

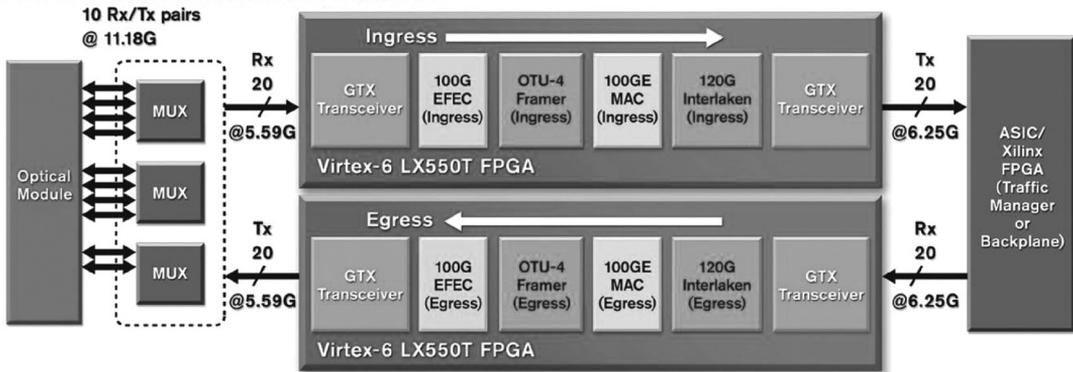
³ 36 кбит BRAM может конфигурироваться как FIFO и имеет встроенные ресурсы определения и исправления ошибок.

⁴ Каждый MIMC содержит 2 PLL.

⁵ Каждый блок DSP48A1 содержит умножитель 25x18, сумматор и аккумулятор и может работать на частоте до 500 МГц.

Рис. 1.

Wired Telecommunications

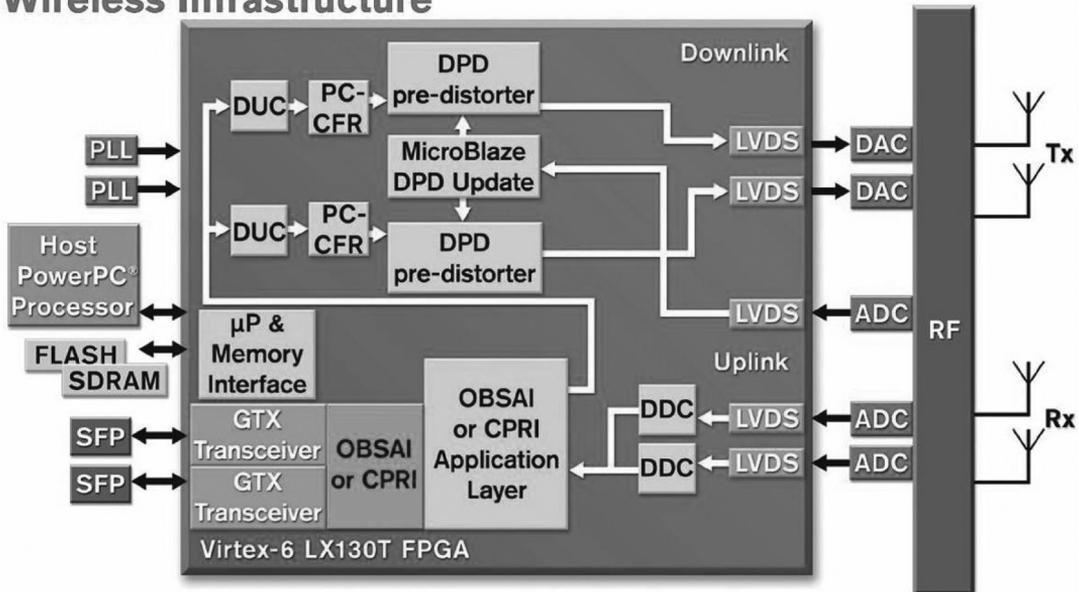


OTU-4 Framing and EFEC for Core Networks

Implement an optical interface to 100GE MAC with framing, enhanced forward error correction (EFEC), and interface to ASIC (or backplane) via Interlaken using two Virtex-6 LX550T FPGAs.

Рис. 2.

Wireless Infrastructure



Long Term Evolution (LTE) 2x2 Radio Design

Achieve lower overall cost, lower power, and higher reliability with a single Virtex-6 LX130T FPGA. Pin-compatible architecture makes it easy to scale up to 4x4 using a Virtex-6 LX195T FPGA in the same package!

Рис. 3.

пряжений питания и температуры как внутри кристалла, так и на внешних микросхемах;

– шифрование конфигурационной последовательности по алгоритму 256-бит AES. В целом, фирма Xilinx предлагает разра-

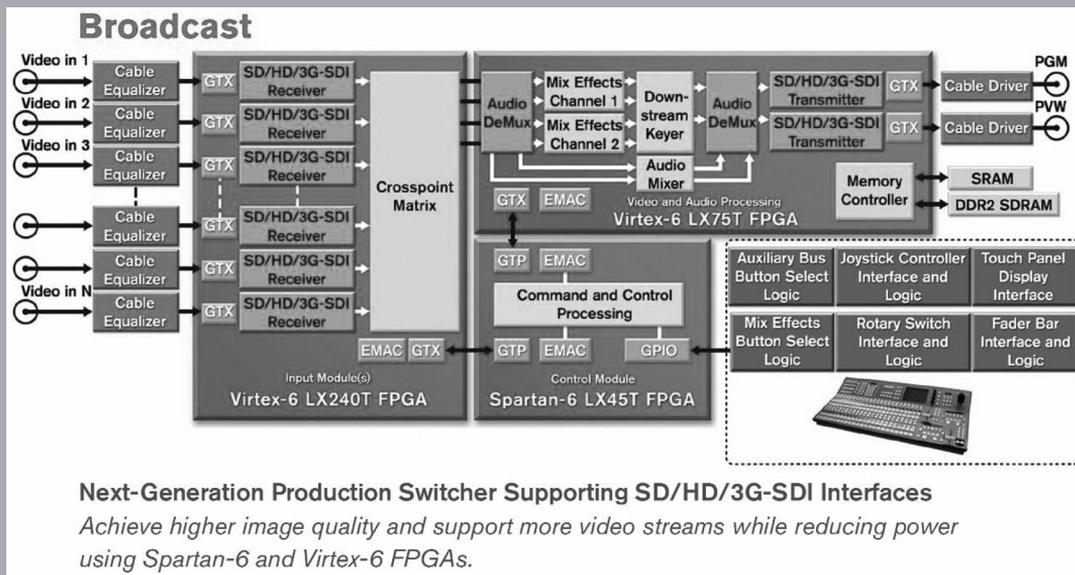


Рис. 4.

ботчикам не тільки самі ПЛИС, но і варіанти платформ, які можливо адаптувати під різні застосування (рис. 2–4) [4].

Однак для реалізації всього потенціалу SDR необхідно, щоб розробники чітко дотримувалися вимог стандартів стосовно конвертації вихідних програмних кодів у формат Software Communications Architecture (SCA). Це стосується не тільки мови високого рівня, але і програмування архітектури ПЛИС (наприклад, на мові VHDL), а також IP-блоків для ПЛИС сторонніх розробників.

SCA-правила виконання проекту SDR вимагають модульного побудови програмного забезпечення (ПО), а також структурують модульні інтерфейси. Суть у тому, що засіб зв'язки не зможе пройти сертифікацію за стандартами НАТО без предостав-

лення відповідно оформлених відкритих текстових кодів ПО SDR і прошивки ПЛИС. Відкриті тексти описання архітектури ПЛИС не тільки дозволяють забезпечити надійність функціонування пристрою, але і упростять проблеми сумісності на міжнародному рівні, особливо примногонаціональних розробках. Крім того, ефективніше охороняються права на інтелектуальну власність, оскільки простіше виявляти заїмствова- ні фрагменти чужих кодів. Звичайно, такий рівень відкритості повинен супроводжуватися передшляхуєчим патентуванням ПО згідно національному законодавству. Хоча і вважається, що норми SCA досить складні для виконання, і ця архітектура не позбавлена певних недоліків, однак поки для розробки платформ SDR нічого кращого не придумано.

Література

1. Слюсар І.І., Уткін Ю.В., Дубик А.М., Масесов М.О. Реалізація перспективних телекомунікаційних технологій та методів цифрової обробки сигналів на вітчизняній елементній базі. // Інформаційні інфраструктури і технології. – Полтава: ПВІЗ, 2007. – № 2. – С. 32–36.

2. Слюсар В.І. Военная связь стран НАТО: проблемы современных технологий. // Электроника: Наука, Технология, Бизнес. – 2008. – № 4. – С. 66–71.

3. www.tacomspost2000.org

4. <http://www.xilinx.com>